

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-082674

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H01L 21/304
H01L 21/316
H01L 27/04
H01L 21/822
// H01L 29/78
H01L 21/336

(21)Application number : 07-241293

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.09.1995

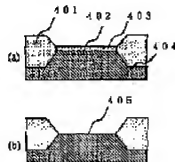
(72)Inventor : IZAWA MASARU
FUJISAKI YOSHIHISA
USHIYAMA MASAHIRO
MATSUI YUICHI

(54) SURFACE TREATING METHOD AND FORMING METHOD OF DIELECTRIC FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To protect a semiconductor device against deterioration caused by detergent deposited on its surface by a method wherein one or more kinds of treatment gases which react endothermically on an adsorption layer on the surface of the work in a displacement reaction manner but exothermically on one or more kinds of adsorbed substances different from the adsorption layer in composition are used.

SOLUTION: An oxide film 403 located at a transistor forming part 402 on a P-type silicon substrate 404 where an oxide film 401 is provided is removed by an HF aqueous solution, and the surface of the substrate 404 is dried up with isopropyl alcohol. The silicon substrate 404 whose cleaned surface 405 is exposed is transferred into a vacuum treatment chamber and heated, and diborane gas and nitrogen gas are introduced into the treatment chamber. Halogenated borane, phosphorus halide, or phosphorus oxyhalide besides diborane is used as processing gas which reacts endothermically on alcohol but exothermically on a hydrogen-terminated silicon surface, whereby alcohol, ammonia, amine or the like deposited on the surface of a work can be removed.



特開平9-82674

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/304	3 4 1		H 0 1 L 21/304	3 4 1 D
21/316			21/316	S
27/04			27/04	C
21/822			29/78	3 0 1 P
// H 0 1 L 29/78				

審査請求 未請求 請求項の数24 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平7-241293

(22) 出願日 平成7年(1995)9月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 伊澤 勝

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 藤崎 芳久

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 牛山 雅弘

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

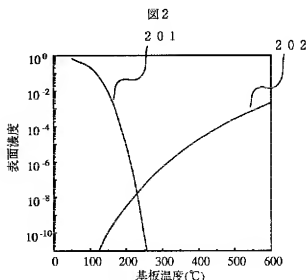
(54) 【発明の名称】 表面処理方法および誘電膜形成方法

(57) 【要約】

【目的】低リークのキャパシタ誘電膜を形成する。

【構成】ジボラン、ハロゲン化ボラン、ハロゲン化リン、ハロゲン化チオニル等を用い、シリコン表面に付着したアルコール系およびアミン系不純物を除去し、かつ微量ハロゲンにより膜質を改善する。

【効果】MOSトランジスタにおける低リーク電流、高ホットエレクトロン耐性かつ絶縁破壊しないゲート酸化膜の形成およびその薄膜化が可能となる。DRAMにおけるキャパシタ誘電膜のリーク電流を低減し、リフレッシュ回数を低減できる。



【特許請求の範囲】

【請求項1】被処理物表面の吸着物層との置換反応が吸熱反応であり、かつ前記吸着層とは異なる組成を持つ1種類以上の吸着物との反応が発熱反応である1種類以上の処理ガスを用いて、前記被処理物表面の前記吸着層とは異なる組成を持つ前記吸着物を前記被処理物表面から除去することを特徴とする表面処理方法。

【請求項2】請求項1の方法において、前記処理ガスが少なくとも1種類以上のホウ素化合物を含むガスであることを特徴とする表面処理方法。

【請求項3】請求項1の方法において、前記処理ガスが少なくとも1種類以上のハロゲン化リンもしくは1種類以上のハロゲン化チオニル化合物を含むガスであることを特徴とする表面処理方法。

【請求項4】請求項1の方法において、前記処理ガスによって前記表面が還元もしくは水素化されることを特徴とする表面処理方法。

【請求項5】請求項1、2、3および4の方法において、前記結晶表面がシリコン単結晶表面であることを特徴とする表面処理方法。

【請求項6】被処理物がシリコン単結晶表面で、その表面に付着する不純物を前記シリコン表面から除去する処理ガスが少なくとも1種類以上のホウ素化合物を含むことを特徴とする表面処理方法。

【請求項7】請求項6の方法において、前記処理ガスがジボランを含むガスであることを特徴とする表面処理方法。

【請求項8】請求項6の方法において、前記処理ガスが三塩化ボランもしくは三フッ化ボランを含むガスであることを特徴とする表面処理方法。

【請求項9】請求項6の方法において、前記処理ガスがジボランとハロゲン化ボランの混合ガスを含むガスであることを特徴とする表面処理方法。

【請求項10】請求項7もしくは9の方法において、前記処理ガスのジボランを前記シリコン表面に導入する前に、ジボランをボランに解離させるため、300℃程度に加熱することを特徴とする表面処理方法。

【請求項11】被処理物がシリコン単結晶表面で、前記表面に付着する不純物を前記シリコン単結晶表面から除去する処理ガスが少なくとも1種類以上のハロゲン化リン化合物もしくは少なくとも1種類以上のハロゲン化チオニル化合物を含むことを特徴とする表面処理方法。

【請求項12】請求項6、7、8、9、10および11のいずれか1つの表面処理方法において、前記不純物が炭素を含む化合物もしくはアンモニアであることを特徴とする処理方法。

【請求項13】請求項6、7、8、9、10、11および12のいずれか1つの表面処理方法において、前記シリコン表面の温度が室温以上600℃以下であることを特徴とする表面処理方法。

【請求項14】請求項6、7、8、9および10のいずれか1つの表面処理方法において、前記シリコン表面の温度が200℃以上350℃以下であることを特徴とする表面処理方法。

【請求項15】請求項6、7、8、9、10、11、12、13および14のいずれか1つの表面処理方法において、前記処理ガスの導入量が、前記被処理表面に対し、少なくとも6000Langmuir (Langmuir)であることを特徴とする表面処理方法。

10 【請求項16】前記シリコン表面を少なくとも1種類以上の有機アルコールもしくはアンモニアを含む溶媒で洗浄後、請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14および15のいずれか少なくとも1つの表面処理方法で処理後、前記シリコン表面に誘電膜を形成する誘電膜形成方法。

【請求項17】前記誘電膜が、トランジスタのゲート絶縁膜であることを特徴とする請求項16の誘電膜形成法。

20 【請求項18】前記誘電膜が、フラッシュメモリのトンネル絶縁膜であることを特徴とする請求項16の誘電膜形成法。

【請求項19】少なくとも1種類以上の有機金属化合物を原料ガスとして用いる誘電膜化学気相成膜法において、誘電膜中に混入する炭素を含む化合物を除去するために、少なくとも1種類以上の還元性の処理ガスで成膜中の誘電膜表面を処理することを特徴とする誘電膜形成法。

【請求項20】前記処理ガスがジボランを含むガスであることを特徴とする請求項18の誘電膜形成法。

30 【請求項21】前記処理ガスがジボランとハロゲン化ボランを含むガスであることを特徴とする請求項19の誘電膜形成法。

【請求項22】前記原料ガスと前記処理ガスが反応しないように、前記原料ガスと前記処理ガスの成膜装置内への導入を交互に行うことを特徴とする請求項19、20および21の誘電膜形成法。

【請求項23】請求項19、20、21および22のいずれかの誘電膜形成法において、前記誘電膜形成後、酸素プラズマもしくはオゾン雰囲気下でアニールすることを特徴とする誘電膜形成法。

40 【請求項24】前記誘電膜が五酸化タンタル膜であることを特徴とする請求項19、20、21、22および23の誘電膜形成法。

【発明の詳細な説明】

【産業上の利用分野】本発明は、半導体基板等の表面処理方法およびこれを用いた誘電膜形成方法に係り、特にデバイスの誘電膜特性に悪影響を与える炭素系不純物を除去し、信頼性の高い誘電膜を形成する技術に関する。

【従来の技術】MOS（メタルオキシサイドシリコン）トランジスタの低消費電力化を実現するため、ゲート電極（MOSのメタル部分）に印加される電圧を低くしてもトランジスタが動作する必要がある。この動作は、メタルとシリコンの間に印加される閾電界によって決まる。ゲート電圧が低くても、トランジスタが動作するためには、ゲート酸化膜にかかる電界がゲート酸化膜厚に反比例することから、ゲート酸化膜をより薄くする必要がある。

【0003】MOSトランジスタにおいて、シリコンと酸化膜界面に金属等の不必要な不純物が残留すると、トランジスタの電流電圧特性等の電気特性が劣化する。さらに、均質な酸化膜を得るためには、シリコン表面が水素終端されている必要がある。劣化の防止および水素終端のため、ゲート酸化膜を形成する前に、シリコン表面の洗浄を希フッ化水素水溶液もしくは、フッ化アンモニウムを含む希フッ化水素水溶液によって行っている。さらに、水洗乾燥させるのであるが、乾燥時にウオーターマークと呼ばれる表面劣化が生じる。この劣化を防ぐため、イソプロピルアルコールによる洗浄乾燥が実施される。

【0004】この他、効率的な不純物の除去法として、希フッ化水素水溶液に微量のエチルアルコールを加えた洗浄法（アイ・イー・イー プロシーディングスのジャーナル（IEEE Proceedings-G）, 138巻, 3号, 321ページ, 1991年発行）や微量のイソプロピルアルコールを加えた洗浄法（1992年 シンポジウム オン ヴィ・エル・エス・アイ テクノロジー ダイジェスト オブ テクニカル ペーパーズ（Symposium on VLSI Technology Digest of Technical Papers）, 22ページ）がある。これらの方法により、5nm程度まで酸化膜厚を薄くすることが可能になった。

【0005】MOSトランジスタにおけるゲート酸化膜の薄膜化を妨げる別の原因の1つに、酸化膜中および酸化膜とシリコン表面の欠陥の存在が挙げられる。欠陥があると、エネルギー準位が発生するため、リーク電流の増加の他、電子トラップによるトランジスタ動作電圧の変化が生じ、安定なMOSトランジスタの供給を妨げることになる。このような欠陥を抑える方法の1つに、シリコン酸化膜界面へのハロゲンの導入が検討されている（アイ・イー・イー・イー エレクトロン・デバイス・レターズ（IEEE Electron Device Letters）, 10巻, 4号, 141ページ, 1989年発行）。

【0006】誘電膜の劣化の別の例として、集積回路のコンデンサ用キャパシタ誘電膜として用いられる五酸化タンタル膜において、炭素混入によりリーク電流が増加することを示唆する報告が、ジャーナル オブ アプライド フィジックス（The Journal of Applied Physics）, 74巻, 1号, 375ページ, 1993年発行でなされている。この報告では、オゾンアニールすること

によって、炭素の除去と膜質改善がなされると述べられている。

【0007】自然酸化膜の形成を防ぎシリコン洗浄表面を形成する方法としては、酸化工程前に水素イオン照射による還元反応によって表面絶縁膜を除去するドライクリーニング法（特開昭63-232337号）がある。

【0008】還元ガスを用いる装置内に付着したフッ化物除去法として、シラン、アンモニア、水素、フォスフィン、ジボランによる装置の洗浄方法が特開平3-130368号にある。

【0009】この他、半導体結晶表面の金属不純物をハロゲン化することによって、表面をクリーニング方法が特開平4-209793号にある。

【0010】【本発明が解決しようとする課題】DRAM（ダイナミックランダムアクセスメモリ）や論理回路に用いられるMOSトランジスタにおいて、5nmの以下酸化膜厚では、欠陥密度およびシリコン酸化膜界面の欠陥等を低減する必要がある。これらの欠陥は、洗浄に用いたイソプロピルアルコール等のアルコールの付着に起因することが示唆されている（第4回 応用物理学会関係合議演説 講演予稿集 765ページ）。

【0011】酸化膜中に欠陥や不純物が存在すると電子やホールをトラップするエネルギー準位が生じ、リーク電流が増加する原因となる。欠陥があると見かけ上、酸化膜によるエネルギー障壁の高さが低くなり、リーク電流が増加する。

【0012】図1はこのエネルギー障壁が2.8電子ボルト（曲線101）と3.2電子ボルト（曲線102）における、1平方センチメートルあたりのリーク電流が1μAになるゲート電圧の酸化膜厚に対するプロットを示す。計算は、1992年 シンポジウム オン ヴィ・エル・エス・アイ テクノロジー ダイジェスト オブ テクニカル ペーパーズ（Symposium on VLSI Technology Digest of Technical Papers）, 18ページによる。欠陥密度を低減し、エネルギー障壁を高くすることにより、低リークでMOSトランジスタを高速に動作させるために必要な電界をゲートに印加できるため、酸化膜厚を薄くすることが可能になる。

【0013】これまで、ゲート酸化膜では膜厚が5nm以上と厚く、洗浄剤であるアルコールやアンモニア等の付着による酸化膜の劣化は問題にならなかった。しかし、半導体デバイスの低消費電力化を進めるため、酸化膜厚をさらに薄くすると、リーク電流が増加するため洗浄剤の付着による半導体デバイスの劣化が無視できなくなる。

【0014】本発明が解決しようとする課題の1つは、薄膜化で問題となる洗浄剤によるデバイス特性の劣化を低減することである。

【0015】フラッシュメモリのトンネル酸化膜におい

5

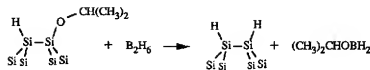
ては、印加電界によって加速されたトンネル電子（ホットエレクトロン）が、シリコン基板や電極をインパクトイオン化し、ホールを発生させる。このホールの一部は、電界によって酸化膜中にトラップされる。酸化膜中にトラップされたホールは、移動度が小さいため滞在し、酸化膜中に繰り返しトンネル電流を流すと、酸化膜中にトラップされるホールが増加してある閾値を超えるとトンネル電流が自発的に流れ、酸化膜が破壊される。このホールのトラップは、酸化膜中の欠陥や不純物によって増長される。

【0016】本発明が解決しようとする課題の1つは、脱炭素および欠陥のハロゲン化によって、ホールトラップサイトを低減し、トンネル酸化膜の書き換え回数を増やすことにある。

【0017】DRAMでは、キャパシタ構造の単純化と微細化をめざし、キャパシタ用の誘電膜として高誘電体である五酸化タンタル、PZT（チタン酸ジルコニウム鉛）等の新材料の導入が検討されている。しかしながら、オゾンアニールによっても成膜時の混入炭素を十分に除去できず、リーク電流が大きいため、低消費電力化の隘路となっている。

【0018】本発明が解決しようとする課題の1つは、こ

41



【0023】ジボランの単結晶シリコン表面への付着は600℃前後で起こり（ジャーナルオブ アプライドフィジックス（The Journal of Applied Physics），74巻，1号，375ページ，1993年発行）、一方、アルコールとの反応は300℃前後であること（ジャーナル オブ フィジカル ケミストリー（The Journal of Physical Chemistry），96巻，4288ページ，1992年発行）が報告されている。従って、600℃以下において表面に付着したアルコールとジボランが反応すれば、ジボランの付着なしに表面の付着アルコールを除去することができる可能性がある。

【0024】これを確かめるため、化学反応式による計算を行った結果を示す。計算から予想されるある吸着サイトにおけるアルコール残留とホウ素付着の表面濃度を図2に示す。曲線201が付着アルコールの残留量で、曲線202がホウ素付着量である。ここで、アルコール脱離とホウ素付着の活性化エネルギーを、0.3eVと1.2eVとし、ジボランの供給量10mTorrで1分間とした。

【0025】デバイス加工時のP型シリコン基板表面部に含まれるホウ素は10-100ppmであることから、ホウ素の1ppmまでをホウ素付着量の許容範囲とする

6

の炭素の除去を効率的に行うことにある。

【0019】ところで、水素による還元では、結晶表面に付着したアルコールの除去能力は弱く、水素プラズマ等を用いても表面が荒れてしまい半導体デバイスの微細化に不適合である。また、洗浄にハロゲンガスを用いると、アルコールの脱離が期待できないばかりでなく、表面を終端している水素原子がハロゲンによって置換されるため、酸化膜形成時の加熱により表面がエッチングされ荒れてしまうため、ハロゲンガスによる洗浄は使えない。また、還元洗浄ガスとしてフッ素を用いると、アルコールの脱離反応は起こらないばかりか、リンがシリコン表面に堆積するため使用できない。

【0020】

【課題を解決するための手段】上記本発明の課題は、表面にジボラン、ハロゲン化ボラン、ハロゲン化リン、塩化チオニル、酸化ハロゲン化リン等のガスを作用させることにより、表面付着アルコール、アンモニア、アミン等を除去することにより達成される。

【0021】ジボランによるアルコール除去の反応式を化1に示す。

【0022】

【化1】

と、200℃から350℃でホウ素付着の影響なしに、アルコールの除去が可能である。

【0026】ジボラン以外の処理ガスを導入する場合について説明する。導入する処理ガスの条件として、処理ガスと水素終端シリコン表面の反応性が、処理ガスとアルコールとの反応性より小さいことが必要である。例えば、処理ガスとアルコールとの反応が発熱反応で、処理ガスと水素終端シリコン表面の反応が吸熱反応である場合である。この条件を満たすガスとして、ジボランの他、ハロゲン化ボラン、ハロゲン化リン、酸化ハロゲン化リン、ハロゲン化チオニル等があることを分子軌道計算で確認した。

【0027】図3に処理ガスの付着はジボランと同程度とし、処理ガスとアルコールのいくつかの異なる反応性における指標を示す。指標は、1ppmの処理ガス付着量を1、初期基板表面のアルコール付着量を1とし、この指標が小さければ、処理ガスの汚染なしにアルコール除去ができることを示している。処理ガスと付着アルコールの反応性を3通りについてその指標を求めた。ここで、処理ガス導入時間は1分間とした。

【0028】曲線301は、処理ガスとアルコールの反応の反応断面積を0.1、活性化エネルギーを0.2eV

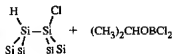
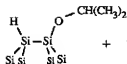
50

7

とした場合である。処理ガスの分圧は0.1mTorrで、基板表面に導入される処理ガスの総量は、600Langmuirである。この時、指標は、300℃付近で最小になる。この指標が低温側で大きくなるのは、アルコールが十分に脱離できないため、高温側では、処理ガスの付着によって指標が大きくなる。ガス供給時間を長くするか、もしくは、処理ガスの分圧を上げると、この最小値は低温側に移動する。ここで述べたケースは処理ガスがアルコールと化学的な反応性が高い場合である。反応性が小さくなればガスの導入量を増やす必要がある。従って、反応性が高い場合でも600Langmuir程度の処理ガスの導入が必要であることから、多くの場合この量よりも多くの処理ガスを導入する必要がある。

【0029】曲線302は、反応断面積0.01、活性化エネルギー0.3eVの場合で、100mTorrの処理ガス圧力、150℃付近で、指標が最小になった。さらに、反応性が小さい場合、反応断面積0.003、活性化エネルギー0.4eVでは、760Torrで75℃前後で指標

化2



【0033】以上のように、上記の化合物を洗浄剤として用いることにより、低リーク電流、高ホットエレクトロン耐性かつ絶縁破壊しない、ゲート酸化膜の形成が可能となる。

【0034】キャパシタ誘電膜における材料ガスから混入する炭素の除去については、成膜途中の表面から、アルコールを還元反応によって除去することによって炭素の混入を抑えることができる。この場合、誘電膜の一部も還元されてしまうので、成膜後、オゾンもしくは酸素プラズマ雰囲気でのアニールを行う。このようにして、低リークの誘電膜形成が達成できる。

【0035】

【作用】本発明により、MOSトランジスタの酸化膜とシリコン基板等の界面に残存するアルコール系およびアミン系不純物をジボラン、ハロゲン化ボラン、ハロゲン化リンもしくはハロゲン化チオニル等で除去し、リーク電流の少ないゲート酸化膜を形成できる。ハロゲン化合物を用いた場合、微量のハロゲンによって、高ホットエレクトロン耐性と耐絶縁破壊性が向上する。さらに本発明によれば、ゲート酸化膜をさらに薄膜化することが可能となるので、より低消費電力のMOSデバイスを提供できる。また、本発明により、キャパシタ誘電膜のリーク電流が低減できるので、DRAMのリフレッシュ回数を減らすことにより消費電力の低減が可能となる。

【0036】

【実施例】

8

が最小(曲線303)になる。このように、処理ガスとアルコールの反応性が小さくてもアルコールの除去効果は期待できる。

【0030】処理ガスがジボランの場合、除去された表面は還元作用により水素終端されるので、より均質なゲート酸化膜の形成が可能になる。水素終端シリコン表面へのジボランの付着が吸熱反応で、アルコール、アミンおよびアミンの脱離が発熱反応であることを、分子軌道計算で確認した。

【0031】他方、ハロゲン化合物を洗浄に用いると、表面付着アルコール、アミンおよびアミンはハロゲンと置換されるので、付着物は除去される。さらに、微量のハロゲンは、ホットエレクトロン耐性の向上と欠陥準位を低減する。例として、三塩化ボランによる反応式を化2に示す。

【0032】

【化2】

〈実施例1〉本発明による一実施例を説明する。図4

(a)は、素子分離するために表面に酸化膜401を設けたP型シリコン基板404である。このシリコン基板404のトランジスタ形成部402にある酸化膜403を1%のHF水溶液で除去し、イソプロピルアルコール液を用いて乾燥させた。図4(b)は、酸化膜403除去後の被洗浄表面405が露出している基板である。

【0037】このシリコン基板404を図5に示す洗浄装置の真空処理室501の処理台502に搬送し、ヒータ503で基板を加熱する。ジボランをガス流量制御装置505から、窒素をガス流量制御装置506から、それぞれシャワーヘッド510を通して真空処理室501に導入する。圧力が1Torrになるように、排気装置507を制御する。この混合ガスを1分間導入する。この間、表面では、前記化1に示す反応が生じ、シリコン基板表面に付着したイソプロピルアルコールが除去される。この反応は、約0.22eVの発熱反応である。処理室501内においてジボランからボランへの解離量を増加させることにより、上述の反応が促進される。このジボランからボランへの解離反応を促進させるため、ジボラン導入時にシャワーヘッドの温度を約300℃に加熱する。

【0038】その後、ジボランの導入を止め、真空処理室内のガスを追い出すために窒素ガスのみを真空処理室に1分間導入する。次にヒータ503の電源を切り、基板を冷却する。基板は、外気による汚染を防ぐため、真空

状態を保ったまま、搬送室508を経て酸化炉（図示せず）に搬送する。

【0039】酸化炉でシリコン基板表面に4nmのゲート酸化膜406をドライ雰囲気900℃で形成する。さらに、この上にゲート電極407になる多結晶シリコンを堆積、ホトおよびエッチング工程を経て図4(c)のMOSトランジスタ構造を形成する。ジボランの圧力を10mTorr、ヒータの温度を、室温、200℃、350℃、500℃とした4種類とジボラン洗浄を行わない基板（レファレンス基板）の計5枚を作成し、これらの基板に形成された酸化膜の特性評価を行う。導入するジボランの総量は、基板表面に対し600,000Langmuirになる。

【0040】酸化膜をSIMS（2次イオン質量分析計）を用い、ゲート酸化膜6中の炭素含有量と基板表面部分のホウ素含有量を測定する。酸化膜中に含まれる炭素量は、レファレンス基板に比べ、ヒータ温度室温の基板上の酸化膜では10%の減少、200℃、350℃、および500℃とした基板では95%の炭素が減少する。一方、基板中のホウ素含有量については、レファレンスの20ppmに比べ、室温でジボランを導入した基板および200℃と350℃に加熱した基板では、その差が測定誤差以下となる。これに対し、500℃で加熱した基板では、30ppm程度となる。基板の電気抵抗も同様に、レファレンス、室温、200℃および350℃の基板では、変わらず、500℃で処理した基板は、30%低下する。

【0041】酸化膜のトンネル電流を測定すると、レファレンスは、ゲート電圧3Vで約 5×10 のマイナス6乗であるが、200℃と350℃で処理した基板では、約 2×10 のマイナス8乗とリーク電流は、約250分の1に減少する。

【0042】本実施例では、洗浄装置を独立した1つの装置としたが、バッチ式の熱酸化炉でシリコン基板導入後、ジボランを導入、200℃程度の加熱、不活性ガスでパージする。この後、酸化膜を形成しても同様な結果が得られる。

【0043】本実施例では、トランジスタのゲート誘電膜として酸化膜の代わりに窒化膜等の酸化膜以外の誘電膜を用いても同様な膜質改善が得られる。

【0044】（実施例2）本発明による別の実施例を説明する。実施例1の導入ガスとして、ジボランの代わりに三塩化ボランを導入する。三塩化ボランによって、シリコン表面に付着しているアルコールは1eV程度の発熱反応で脱離し、アルコールが脱離した部分に塩素が付着する。アルコールの脱離反応は、前記化2である。三塩化ボランでシリコン表面を処理した後、4nmの熱酸化膜を形成する。この酸化膜のリーク電流は、ゲート電圧3Vで約 5×10 のマイナス8乗である。三塩化ボラン無処理の酸化膜に比べ、リーク電流は約100分の1

になる。

【0045】シリコン酸化膜とシリコン基板の界面にハロゲンが導入されることにより、電子およびホールがトラップされる界面準位が減少し、ホットエレクトロン耐性が増加する。ホットエレクトロンを基板に注入し、ホットエレクトロンによるトランジスタ動作閾電圧の変化を調べると、三塩化ボランで処理した基板は、無処理の基板に比べ、変化量は約10分の1に抑えられる。従って、三塩化ボランの導入によりトランジスタはより安定に動作する。

【0046】三塩化ボランの代わりに、三フッ化ボランもしくは塩化チオニルもしくはフッ化チオニルもしくは三塩化リンもしくは五塩化リンもしくは三塩化酸化リンを導入することによっても、同様な効果が得られる。則ち、表面汚染を生じることなく酸化膜のリーク電流の減少とホットエレクトロン耐性は増加するのである。

【0047】ハロゲンの付着量が多すぎるとシリコンのエッチングが生じトランジスタの電気的特性が劣化する。適度なハロゲン付着量に制御するには、ジボランと上記のハロゲン化合物の混合ガスを真空処理室に導入することにより実現される。ジボランと三塩化ボランの場合、約1対1混合でトランジスタの電気的特性が最も良好になる。

【0048】《実施例3》本発明による別の実施例を説明する。本実施例では、フラッシュメモリのトンネル絶縁膜（酸化膜）を形成する。実施例1で示した装置に図4(b)の酸化膜403除去後の基板を搬送した後、ヒータの温度を100℃に設定し、三フッ化ボラン10scmとアルゴン90scmを図5に示す真空処理室501に導入する。真空処理室の圧力を1Torrとし、1分間処理する。導入ガスの基板に対する総量は、約 6×10 の6乗Langmuirである。フッ化ボランは、ジボランに比べ反応性が小さいので、ジボランよりも導入量を増やす必要がある。シリコン表面に付着するアルコールは除去され、除去された部分には、フッ素が付着する。この反応の反応熱は、約0.4eVである。処理後、ドライ酸化により5nmの酸化膜と重酸化窒素により2nmの窒素酸化膜を形成する。この後、実施例1と同様にして図4(c)のMOSトランジスタ構造を形成する。

【0049】本実施例で形成する酸化膜の経時的絶縁破壊は11MeV/cmの電界で1平方センチメートルあたり7クーロンの電荷注入により行う。この電荷量は、100万回のメモリ書き換えに相当する。なお、測定を行う面積は、0.01平方センチメートルとする。

【0050】従来の酸化膜では、この電荷注入により、約10%の酸化膜が破壊されるため、セル面積1平方センチメートル程度（64メガバイト以上）の大容量フラッシュメモリで、100万回の書き換えが実現できない。本実施例の酸化膜では、界面準位のフッ素による低減によって、ホットエレクトロン耐性の向上と、酸化膜

中の欠陥によるホールトラップが低減するので、経時的絶縁破壊は約0.1%に改善される。従って、100万回の書き換えが可能なセル面積約1平方センチメートルのフラッシュメモリを約90%の歩留まりで製造できる。

【0051】三フッ化ボロンの代わりには、三塩化ボランもしくは塩化チオニルもしくはフッ化チオニルもしくは三塩化リンもしくは五塩化リンもしくは三塩化酸化リンを導入することによっても、同様な効果が得られる。

【0052】ハロゲンの付着量が多すぎるとシリコンのエッチングが生じトランジスタの電気的特性が劣化する。適切なハロゲン付着量に制御するには、ジボランと上記のハロゲン化合物の混合ガスを真空処理室に導入することにより実現される。ジボランと三フッ化ボランの場合、約1対2混合でトランジスタの電気的特性が最も良好になる。

【0053】(実施例4)本発明による別の実施例を説明する。本実施例では、キャパシタ誘電膜となる五酸化タンタル膜を形成する。通常の化学気相成長装置に、図6に示すMOSトランジスタ606上部にタングステン電極603を形成したシリコン基板を配置し、基板の温度を450℃に加熱する。この装置に、ペンタエトキシタンタル5sccm、アルゴン50sccmおよび酸素600sccmを導入し、五酸化タンタル膜604を電極603上に形成する。ガスの導入を1分間行ったら、ペンタエトキシタンタルと酸素の導入を止める。

【0054】その10秒後にジボラン4.5sccmと三フッ化ボラン0.5sccmを10秒間導入する。その後、ジボランと三フッ化ボランの導入を止め、アルゴン50sccmを10秒間導入し、再び、酸素およびペンタエトキシタンタルを導入し、1分後、酸素およびペンタエトキシタンタルの導入を止め、上記の操作を繰り返す。この一連の操作を約1時間繰り返した後、オゾン雰囲気下で60℃で30分のアニールを行う。ジボランによって一部還元された膜中のタンタルを酸化するためにオゾンアニールを行う。

【0055】成膜される五酸化タンタル膜604の膜厚は、約9nmである。酸化膜換算では1.5nmである。ジボランと三フッ化ボランは、ペンタエトキシタンタルから発生するアルコールを効率的に除去するために導入したものである。上記三フッ化ボランについては、さらにそのフッ素に膜中の欠陥密度を低減する効果がある。

【0056】五酸化タンタル膜604の上に上部電極605をタングステンで形成し、エッチングを行い、図6の602に示すデバイスを形成する。

【0057】形成した五酸化タンタル膜604の電気的特性としてリーク電流を測定すると、1平方センチメートルあたり約10のマイナス8乗アンペアとなる。ジボランおよび三フッ化ボランを導入しない膜に比べ、リー

ク電流は10分の1になる。DRAM(ダイナミックランダムアクセスメモリ)の容量膜に本発明の五酸化タンタル膜を用いると、リフレッシュ時間が従来の10倍になり、低消費電力高集積DRAMを実現できる。

【0058】SIMS(2次イオン質量分析計)を用い、五酸化タンタル膜604中の炭素含有量を測定すると、炭素含有量は、従来の五酸化タンタル膜に比べ、約20分の1になる。これは、ペンタエトキシタンタルが解離して発生するアルコール成分が、形成途中の膜表面からジボランによって効率的に脱離するからであると考えられる。

【0059】

【発明の効果】ジボラン、ハロゲン化ボラン、ハロゲン化リン、ハロゲン化チオニル等を用い、シリコン表面に付着したアルコール系およびアミン系不純物の除去、および微量ハロゲンによる膜質の改善を行う。本発明により、MOSトランジスタのゲート酸化膜のリーク電流は2桁少なくなり、半導体デバイスの低消費電力化が可能になる。さらに、ハロゲンの効果によりゲート酸化膜の高ホットエレクトロン耐性および耐絶縁破壊特性が向上し、大規模なフラッシュメモリで100万回の書き換えが可能になる。DRAMにおいては、キャパシタ誘電膜のリーク電流が10分の1に低減し、リフレッシュ回数を低減することにより、低消費電力DRAMを実現する。

【0060】同様な効果は、ここで上げたガス以外に、水素化ホウ素、水素化アルミニウム、水素化ホウ素アルミニウム、ハロゲン化アルミニウム、ハロゲン化砒素、ハロゲン化硫化リンを用いても得られる。絶縁としては、酸化ケイ素膜および五酸化タンタル膜の他、窒化ケイ素膜、PZT(チタン酸ジルコニウム鉛)、BST(チタン酸ストロンチウムバリウム)等でも本発明の洗浄により、リーク電流の小さい薄膜が得られる。

【図面の簡単な説明】

【図1】ゲート酸化膜の膜厚とリーク電流が1μAになるゲート電圧とその相関図。

【図2】ジボランでの表面処理後の基板温度とアルコールの残存付着量とホウ素の付着量を示す図。

【図3】処理ガスと付着アルコールのいくつかの反応パラメータにおける、最適条件を導出する指標を示す図。

【図4】本発明の一実施例で形成するMOSトランジスタの製造プロセスの説明図。

【図5】本発明の一実施例で用いる洗浄装置の説明図。

【図6】本発明の一実施例で形成するキャパシタ誘電膜の説明図。

【符号の説明】

201…残存する付着アルコール量を示す曲線、202…付着するホウ素量を示す曲線、301…導入ガスとアルコールの反応性が高い場合の指標の曲線、302…導入ガスとアルコールの反応性が中程度の場合の指標の曲線、303…導入ガスとアルコールの反応性が低い場合

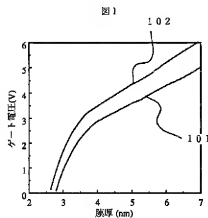
13

の指標の曲線、401…素子分離酸化膜、402…シリコン基板のトランジスタになる部分、403…薄膜酸化膜、404…シリコン基板、405…被洗浄表面、406…ゲート酸化膜、407…ゲート電極、408…ソース領域、409…ドレイン領域、501…真空処理室、502…処理台、503…ヒータ、504…被処理物、505…ガス流量制御装置、506…ガス流量制御装

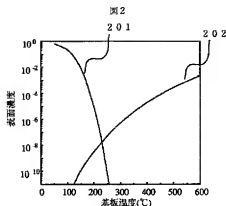
14

置、507…排気装置、508…搬送装置、509…搬送口バルブ、510…シャワーヘッド、601…キャパシタ誘電膜形成前の基板、602…キャパシタ誘電膜形成後の基板、603…タングステン電極、604…五酸化タンタル膜、605…上部電極、606…MOSトランジスタ。

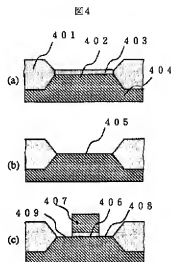
【図1】



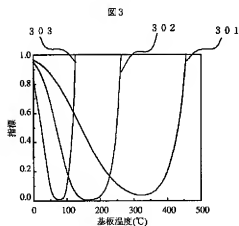
【図2】



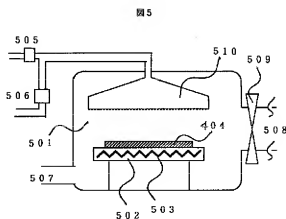
【図4】



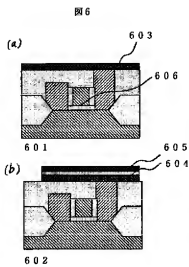
【図3】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

(72) 発明者 松井 裕一

東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内